

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-020496**

(43)Date of publication of application : **24.01.1995**

(51)Int.Cl.

G02F 1/136

G02F 1/1333

(21)Application number : **05-189081**

(71)Applicant : **SONY CORP**

(22)Date of filing : **30.06.1993**

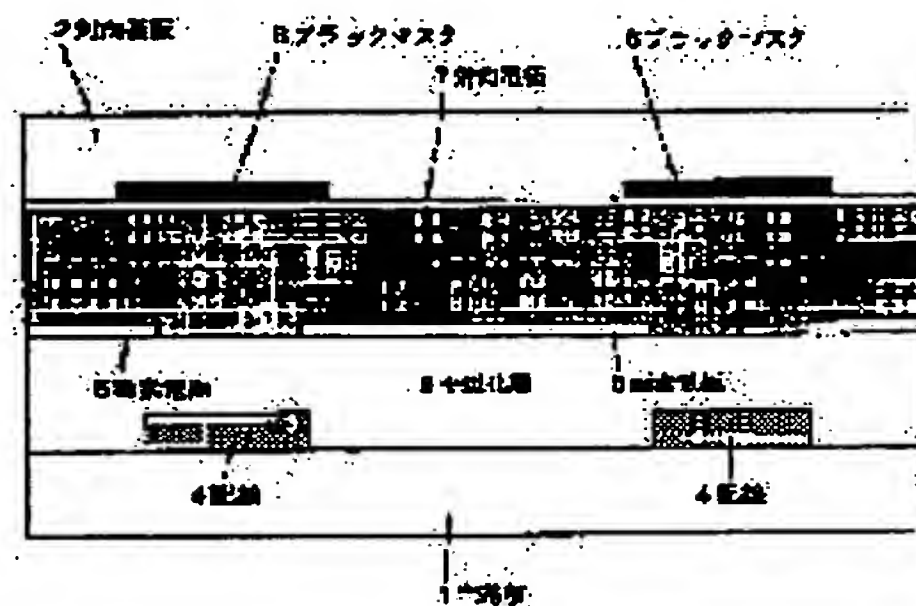
(72)Inventor : **KADOTA HISASHI
NAKAMURA SHINJI
NODA KAZUHIRO
HAYASHI HISAO**

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To suppress the influence of a lateral electric field produced between adjacent pixel electrodes of the active matrix type liquid crystal display device.

CONSTITUTION: The active matrix type liquid crystal display device consists of a main substrate 1 and an opposite substrate 2 which are arranged opposite each other across a specific gap. A liquid crystal layer 3 which has constant thickness B is held between both the substrates 1 and 2. On the top surface of the main substrate 1, an element wiring area including plural thin film transistor elements and electric conductors 4 is formed. A flattening layer 5 is formed so as to fill unevenness of the surface of the element wiring area. Matrix-shaped pixel electrodes 6 are formed on the flat top surface of the flattening layer 5. The internal size A between adjacent pixel electrodes 6 is set larger than the thickness size of the liquid crystal layer 3 to make a secondary lateral electric field smaller than a regular longitudinal electric field.



LEGAL STATUS

[Date of request for examination] 10.12.1999

[Date of sending the examiner's decision of rejection] 27.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-04676

[Date of requesting appeal against examiner's decision of rejection] 27.03.2001

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-20496

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9119-2K	
	1/1333	5 0 0	9225-2K	

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21)出願番号 特願平5-189081

(22)出願日 平成5年(1993)6月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 門田 久志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 中村 真治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 野田 和宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 鈴木 晴敏

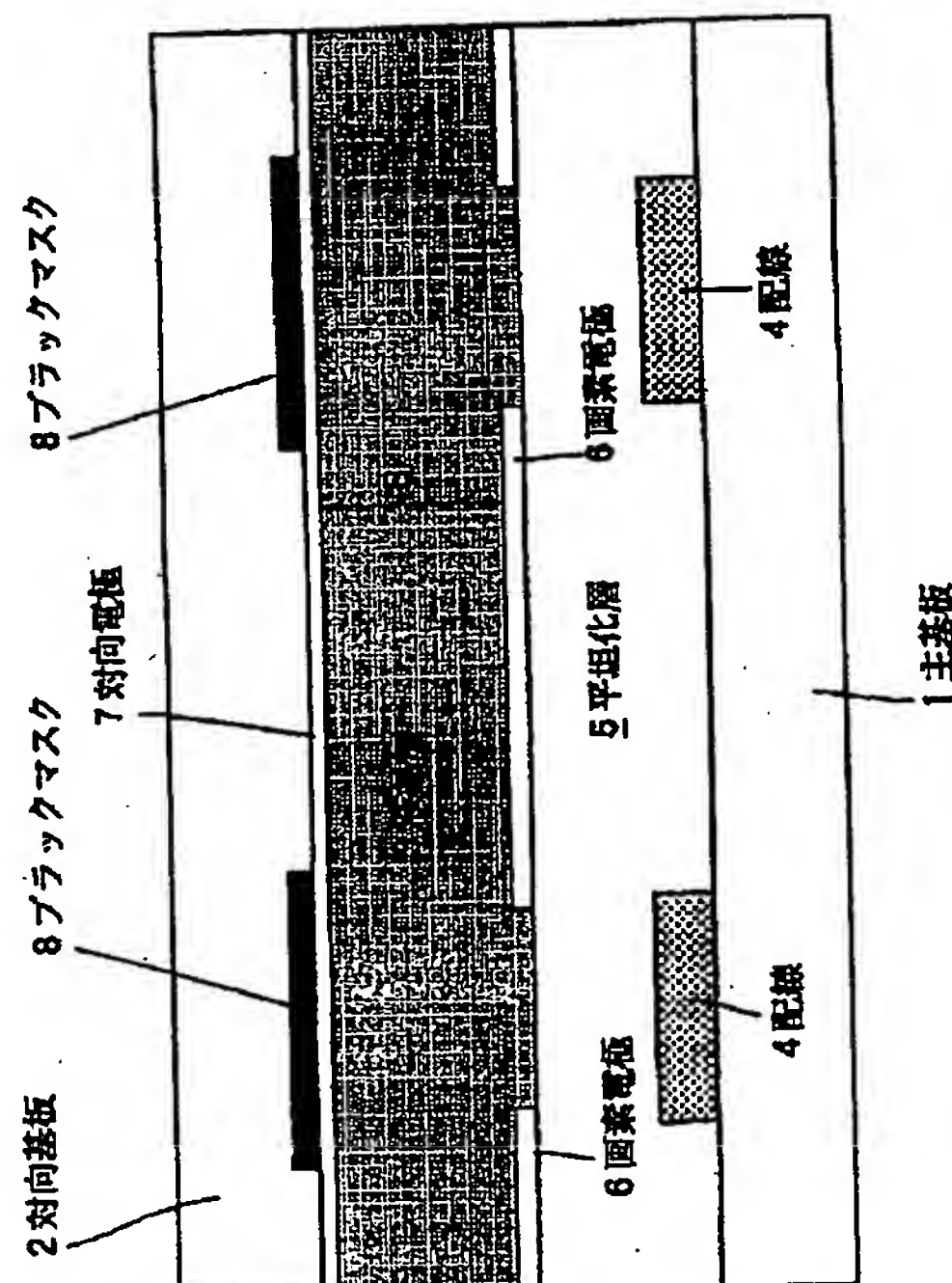
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】 アクティブマトリクス型液晶表示装置において隣接画素電極間に発生する横方向電界の影響を抑制する。

【構成】 アクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対面配置された主基板1と対向基板2とから構成されている。両基板1、2の間には一定の厚みBを有する液晶層3が保持されている。主基板1の表面には、複数の薄膜トランジスタ素子及び配線4を含む素子配線エリアが形成されている。この素子配線エリア表面の凹凸を埋める為平坦化層5が成膜されている。平坦化層5の平らな表面にはマトリクス状の画素電極6が形成されている。隣り合う画素電極6の間隔寸法Aは、該液晶層3の厚み寸法Bよりも大きく設定されており、正規の縦方向電界に比べ副次的な横方向電界が小さくなる様にしている。



【特許請求の範囲】

【請求項1】 所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、

前記主基板は複数の薄膜トランジスタ素子及び配線を含む素子配線エリアと、該素子配線エリア表面の凹凸を埋める平坦化層と、該平坦化層の平らな表面に形成されたマトリクス状の画素電極とを有しており、

隣り合う画素電極の間隔寸法を該液晶層の厚み寸法より大きく設定した事を特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記平坦化層は透明樹脂膜からなる事を特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】 所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、

前記主基板は所定の間隔を介してマトリクス状に配列された画素電極と、個々の画素電極に対応して配置された薄膜トランジスタ素子と、マトリクス状に配列した画素電極の間隔に沿って配設された配線とを有しており、

該配線の幅寸法が該液晶層の厚み寸法に比べて微細化されている一方、隣り合う画素電極の間隔寸法が該液晶層の厚み寸法より大きく設定されている事を特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリクス型液晶表示装置に関する。より詳しくは、画素電極の配置構造に関する。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対向配置された主基板及び対向基板と、両基板間に保持された液晶層とを備えている。主基板には画素電極を駆動する為の薄膜トランジスタが集積的に形成されている。薄膜トランジスタのソース領域には信号配線が電気接続している。薄膜トランジスタのドレイン領域には対応する画素電極が電気接続している。主基板の表面は配向膜により被覆されている。一方、対向基板の表面には対向電極及び配向膜が形成されている。主基板及び対向基板によって挟持された液晶層は配向膜によって例えばツイストネマティック配向されている。かかる構成を有するアクティブマトリクス型液晶表示装置において、薄膜トランジスタのゲート電極に選択信号を印加した状態で、信号配線を介し画像信号を供給すると、対応する画素電極に所定の信号電荷が書き込まれる。この画素電極と対向電極との間に生じた縦方向の電界により、ツイストネマティック配向され

た液晶層の分子が立ち上がり、透過率が変化して所望の画像表示が行なわれる。

【0003】

【発明が解決しようとする課題】アクティブマトリクス型液晶表示装置の高精細化に伴ない画素ピッチが小さくなってくると、所望の開口率を確保する為画素電極面積を可能な限り大きく確保する必要がある。この為、隣り合う画素電極の間隔が接近してくる。極端な場合、各画素電極と対向電極との間の間隔に比べ、隣り合う画素電極の間隔が小さくなり、各画素電極と対向電極との間に印加される正規の縦方向電界より、隣り合う画素電極の間に発生する副次的な横方向電界の影響の方が大きくなる場合が生じる。従来、横方向電界の影響を受け、液晶層にリバースチルトドメインが発生したり、液晶分子が正しく立ち上がらない為光抜け等が発生し、画質の劣化を招いていたという課題がある。

【0004】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は液晶画素を微細化及び高精細化した場合に生じる横方向電界の悪影響を防止し画質を維持する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明の第1側面によれば、所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、前記主基板は複数の薄膜トランジスタ素子及び配線を含む素子配線エリアと、該素子配線エリア表面の凹凸を埋める平坦化層と、該平坦化層の平らな表面に形成されたマトリクス状の画素電極とを有している。かかる構成において、隣り合う画素電極の間隔寸法は該液晶層の厚み寸法より大きく設定されている。好ましくは、前記平坦化層は透明樹脂膜からなる。

【0005】本発明の第2側面によれば、所定の間隙を介して互いに対面配置された主基板及び対向基板と、両基板間に保持された一定厚みの液晶層とを備えたアクティブマトリクス型液晶表示装置において、前記主基板は所定の間隔を介してマトリクス状に配列された画素電極と、個々の画素電極に対応して配置された薄膜トランジスタ素子と、マトリクス状に配列した画素電極の間隔に沿って配設された配線とを有している。かかる構成において、該配線の幅寸法は液晶層の厚み寸法に比べて微細化されている一方、隣り合う画素電極の間隔寸法は該液晶層の厚み寸法より大きく設定されている。

【0006】

【作用】本発明の第1側面によれば、薄膜トランジスタ素子及び配線を含む素子配線エリアは透明樹脂等からなる平坦化層で全面的に被覆されている。この平坦化層は素子配線エリア表面の凹凸を埋める為に十分な厚みを有しており、実質的に平らな表面が得られる。従って、理論的には素子配線エリアの凹凸の影響を受ける事なく、

平坦化層の表面に画素電極を形成でき、仮に平面的に見て下地の配線と重複していても問題は生じない。従って、液晶画素の高精細化を進めた場合でも、個々の画素電極毎に十分な面積を確保でき開口率を損なう事がない。しかしながら、隣り合う画素電極の間隔寸法を無制限に縮小すると正規の縦方向電界に比べ副次的な横方向電界が相対的に大きくなってしまふ。そこで、隣り合う画素電極の間隔寸法を液晶層の厚み寸法より大きく設定して、横方向電界の影響を実質的に除去し、リバースチルトドメインや光抜け等を防止している。

【0007】本発明の第2側面によれば、平坦化層を用いなくアクティブマトリクス型液晶表示装置の高精細化を図っている。即ち、マトリクス状に配列した画素電極の間隔に沿って信号配線やゲート配線を配設した平面構造において、高精細化を図る為該配線の幅寸法を液晶層の厚み寸法に比べて微細化している。この場合、隣り合う画素電極の間隔寸法も無制限に縮小した場合、正規の縦方向電界に比べて副次的な横方向電界が大きくなる恐れがある。従って、この場合でも画素電極の間隔寸法が液晶層の厚み寸法より大きく設定する事により、リバースチルトドメインや光抜け等を防止している。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は、本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示す模式的な断面図である。図示する様に、本アクティブマトリクス型液晶表示装置は、所定の間隙を介して互いに対面配置された主基板1及び対向基板2を備えている。両基板1、2間には液晶層3が保持されており、一定の厚みBを有する。主基板1の表面には、複数の薄膜トランジスタ素子（図示せず）及び配線4を含む素子配線エリアが形成されている。なお、この配線4は薄膜トランジスタのソース領域に電気接続される信号配線や、同じくゲート電極に電気接続するゲート配線等が含まれる。この素子配線エリア表面の凹凸を埋める為平坦化層5が形成されている。平坦化層5は透明樹脂膜等からなり配線4の段差寸法等に比べ十分大きな膜厚を有する為、その表面は実質的に平らである。平坦化層5の平らな表面には、マトリクス状に画素電極6が形成されている。本発明の特徴事項として、隣り合う画素電極6の間隔寸法Aは、該液晶層3の厚み寸法Bよりも大きく設定されている。

【0009】なお本実施例では、隣り合う画素電極6の間隔に整合して配線4がバタニング形成されている。この場合、配線4の段差が平坦化層5により完全に吸収されているので、平面的に見て画素電極6の端部を配線4と重複させても何ら凹凸が生じない為、液晶層3の配向制御を行なう上で支障が生じない。

【0010】一方対向基板2の内表面には対向電極7が形成されている。図から理解される様に、液晶層3の厚みBは、対向電極7と画素電極6の間の間隔寸法に等し

い。対向電極7と画素電極6との間に所定の電圧が印加されると液晶層3の分子配列が変化して透過率が変化し、所望の画像表示が行なわれる。この際、隣り合う画素電極6の間隔寸法Aは各画素電極6と対向電極7の間隔寸法Bに比べて大きく設定しているため、画素電極6間に印加される副次的な横方向電界は正規の縦方向電界に比べ相対的に小さく抑制される。この結果、液晶層3のリバースチルトドメインや光抜けを抑制できる。なお、マトリクス状に配列した画素電極6の間隔と整合して、対向基板2の内表面にはブラックマスク8が形成されている。このブラックマスク8は画像表示に寄与しない液晶層3の部分をマスクする事により、実効的な表示コントラストを高める為に設けられたものである。又、図では明示していないが、主基板1及び対向基板2の内表面は夫々所定の配向処理が施されており、液晶層3は例えばツイストネマティック配向状態となっている。

【0011】図2は、図1に示したアクティブマトリクス型液晶表示装置を模式化して表わした平面図である。画素電極6はマトリクス状に配列されている。各画素電極6の行間に沿ってX方向にゲート配線4Gが配設されている。又画素電極6の列間に沿ってY方向に信号配線4Sが配設されている。各画素電極6と対応してスイッチング用の薄膜トランジスタ（TFT）9が形成されている。TFT9のゲート電極は対応するゲート配線4Gに接続されており、ソース電極は対応する信号配線4Sに接続されており、ドレイン電極は対応する画素電極6に接続されている。ゲート配線4Gに線順次で選択パルスを供給し、各行毎に画素電極6を導通状態にする。これと同期して、信号配線4Sに画像信号を供給し、導通状態にあるTFT9を介して画素電極6に画像信号を書き込み、所望の画像表示を行なうものである。なお、液晶表示装置の場合交流駆動が行なわれており、1行毎に画像信号の極性を反転している。場合によっては、1フィールド毎に画像信号の極性反転を行なう事もある。

【0012】次に、図3及び図4を参照して、図1及び図2に示したアクティブマトリクス型液晶表示装置の動作を詳細に説明する。図3は図2に示したX-X線に沿って切断した模式的な断面図であり、（1）は隣り合う画素電極6の間隔Aが、対向電極7と画素電極6の間隔Bに比べて小さく設定した場合を表わしており、（2）は本発明に従って間隔Aを間隔Bに比べて大きく設定した場合を表わしている。（1）の電極配置構造で画素電極6及び対向電極7に電圧を印加すると、隣接画素電極間に発生する横方向電界EHの方が正規の縦方向電界EVより強くなってしまふ為、画素電極6の端部近傍に位置する液晶分子3Mが本来向くべき垂直方向と異なって、斜め方向に向いてしまふ。これによりリバースチルトドメインが発生したり、光抜けの原因となり画質の劣化につながる。一方（2）の電極配置構造では、画素電極6及び対向電極7に電圧を印加しても、横方向電界は

縦方向電界に比べて十分小さい為、液晶分子3Mは隣接画素電極の影響を受ける事なく本来向くべき方向に立ち上がる事ができる。

【0013】図4は、同じく図2に示したY-Y線に沿って切断した断面図であり、(1)は開口率確保の為隣り合う画素電極6の間隔Aを、対向電極7と画素電極6の間隔Bに比べて小さく設定した場合であり、(2)は本発明に従って間隔Aを間隔Bに比べて大きく設定した場合である。(1)に示した電極配置構造では、特に行毎に極性反転を行なって駆動を行なった時、隣り合う画素電極6間で正負反対の電圧がかかる事になるので、より大きな横方向電界EHの影響を受け液晶分子3Mの乱れが大きくなってしまふ。即ち、行毎の極性反転駆動を行なうと、図3の(1)に示した左右画素電極間の電位差に比べ、図4の(1)に示した上下画素電極間の電位差が顕著に大きくなる。従って、本発明により規定される $A > B$ の関係は、特に上下に隣接する画素電極間で満たす事が重要である。(2)に示す様に、 $A > B$ の関係を満たす様に、画素電極6及び対向電極7を配置すれば、横方向電界による悪影響を除く事ができ液晶分子3Mを本来の垂直方向に立ち上げる事ができる。

【0014】本発明に従って規定される $A > B$ の関係は、特に平坦化層を採用したアクティブマトリクス型液晶表示装置において重要な意味を有する。なぜならば、高開口率化が可能な平坦化層を有するアクティブマトリクス型液晶表示装置では、画素電極の面積を従来に比べ広くとる事ができる。又、理論的にはパタニング精度の限界まで隣接画素電極間距離を縮小する事が可能なので $A > B$ の関係を満たさない状況が多分に起り得るからである。 $A > B$ の関係を常に安定して満たす製造方法上の手段として、画素電極間距離よりも小さい粒径を有するギャップスペーサを基板上に散布して主基板及び対向基板を貼り合わせれば良い。この方法によれば、隣接電極間距離が相当程度縮小されても、物理的に安定して $A > B$ の関係を保証する事が可能である。但し、液晶画素の高精細化及び高開口率化が進むにつれて、液晶層の厚みも小さくなる為、所定の電気光学特性を満たす液晶材料を適宜選択する必要が生じる。

【0015】次に、図5及び図6を参照して、図1に示したアクティブマトリクス型液晶表示装置の製造方法を詳細に説明する。先ず最初に、図5の工程Aにおいて、石英等からなる絶縁基板の表面に第1多結晶シリコン薄膜(1Poly)をLPCVD法により成膜する。次にSiイオン注入を行ない一旦微細化した後固相成長を行ない1Polyの大粒径化を図る。その後1Polyを島状にパタニングし素子領域を形成する。さらにその表面を熱酸化し SiO_2 としてゲート酸化膜を得る。さらにボロンイオンを所定濃度で注入し、予め閾値電圧の調整を行なう。次に工程Bにおいて、LPCVD法によりSiNを成膜しゲート窒化膜とする。このSiNの表面

を熱酸化し SiO_2 に転換する。この様にして $SiO_2/SiN/SiO_2$ の3層構造からなる耐圧性に優れたゲート絶縁膜が得られる。次にLPCVD法により第2多結晶シリコン薄膜(2Poly)を堆積する。2Polyの低抵抗化を図った後、所定の形状にパタニングしゲート電極Gを得る。次にゲート電極GをマスクとしてセルフアライメントによりAsイオンを注入し所謂LD構造とする。続いてSiNを部分的にエッチングで除去した後、Asイオンを高濃度で注入し1Polyにソース領域S及びドレイン領域Dを設ける。この様にしてNチャネル型のTF Tが形成される。なお、Pチャネル型のTF Tを形成する場合にはボロンイオンを注入する。続いて工程CにおいてAPCVD法により第1層間絶縁膜(1PSG)を堆積する。この1PSGに第1コンタクトホール(1CON)をパタニング形成した後、スパッタリングによりアルミニウム(Al)を全面的に成膜する。これを所定の形状にパタニングしてTF Tのソース領域Sに電気接続する信号配線に加工する。

【0016】図6の工程Dにおいて、LPCVD法により、1PSGに重ねて第2層間絶縁膜(2PSG)を堆積し、Alからなる信号配線を完全に被覆する。続いて工程Eにおいて、2PSG表面の凹凸を平坦化層で埋める。この為、本実施例では所定の粘性を有する液状のアクリル樹脂をスピンコーティングで塗布した。その後加熱処理を施しアクリル樹脂を硬化させて平坦化層とした。硬化した平坦化層に対してフォトリソグラフィ及びエッチングを施し第2コンタクトホール(2CON)を形成する。この2CONの底部にはTF Tのドレイン領域Dが露出している。次に、工程Fにおいてスパッタリングにより透明導電膜を成膜する。本実施例では透明導電膜材料としてITOを用いる。ITOは2CONの内部にも充填され、TF Tのドレイン領域Dと電気的な導通がとられる。最後に工程GにおいてITOを所定の形状にパタニングし画素電極とする。以上の工程により平坦化された主基板が得られる。その後、所定の間隔を介して対向基板を接合し、該間隙内に液晶層を封入充填してアクティブマトリクス型液晶表示装置が得られる。

【0017】前述した実施例は平坦化層が形成されたアクティブマトリクス型液晶表示装置であるが、本発明はこれに限られるものではない。平坦化層を有しないアクティブマトリクス型液晶表示装置であっても、高精細化に伴ない信号配線やゲート配線の微細化が行なわれる場合に本発明は同様に有効である。この点に鑑み、図7を参照して本発明の第2実施例を詳細に説明する。図示する様に、アクティブマトリクス型液晶表示装置は、所定の間隔を介して互いに対面配置された主基板1及び対向基板2を有している。両基板1, 2の間には一定の厚みBを有する液晶層3が保持されている。主基板1の表面には所定の間隔Aを介して画素電極6がマトリクス状に配列されている。又個々の画素電極6に対応して薄膜ト

ランジスタ素子（図示せず）が形成されている。さらに、マトリクス状に配列した画素電極6の間隔に沿って配線4が配設されている。該配線4の幅寸法Cは液晶層の厚み寸法Bに比べて微細化されている一方、隣り合う画素電極6の間隔寸法Aは液晶層3の厚み寸法Bよりも大きく設定されている。例えば、液晶層3の厚み寸法Bは3～4 μ m程度である。一方、超LSI技術を適用し且つ低抵抗化を図る事により、配線4の幅寸法Cは1 μ m程度まで微細化可能である。この場合、製造技術的には画素電極6の間隔寸法Aを液晶層3の厚み寸法Bよりも小さくする事が可能である。しかしながら、この場合には、前述した様にリバースチルトドメインや光抜けが発生する恐れがある。そこで、本発明に従って画素電極6の間隔寸法Aを液晶層の厚み寸法Bより大きく設定している。

【0018】参考の為、図8に一般的なアクティブマトリクス型液晶表示装置における画素電極6及び対向電極7の配置構造を示す。前述した様に液晶層3の厚み寸法Bは3～4 μ mに設定されている。一方、配線4の幅寸法Cは通常の加工技術のレベルでは2.5 μ m程度が限界である。又、配線4と画素電極6の距離は1.5 μ m程度である。従って、隣り合う画素電極6の間隔寸法Aは5.5 μ m程度となり、液晶層Bの厚み寸法より大きい。従って、一般的なアクティブマトリクス型液晶表示装置では特にAとBの関係に配慮を払う必要がない。しかしながら、配線4の微細化を図りアクティブマトリクス型液晶表示装置の高精細化を実現する場合には、本発明により規定される関係 $A > B$ を重要視する必要がある。

【0019】

【発明の効果】以上説明した様に、本発明によれば、アクティブマトリクス型液晶表示装置の高精細化及び高開口率化を図る場合、隣り合う画素電極の間隔をAとし画*

*素電極と対向電極の間隔をBとした時、 $A > B$ の関係を満たす事により、リバースチルトドメインや光抜けを抑制する事ができる。この結果、高画質及び高コントラストのアクティブマトリクス型液晶表示装置を得る事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示す模式的な部分断面図である。

【図2】図1に示したアクティブマトリクス型液晶表示装置の模式的な平面図である。

【図3】図1及び図2に示したアクティブマトリクス型液晶表示装置の動作説明図である。

【図4】同じく図1及び図2に示したアクティブマトリクス型液晶表示装置の動作説明図である。

【図5】図1に示したアクティブマトリクス型液晶表示装置の製造工程図である。

【図6】同じく製造工程図である。

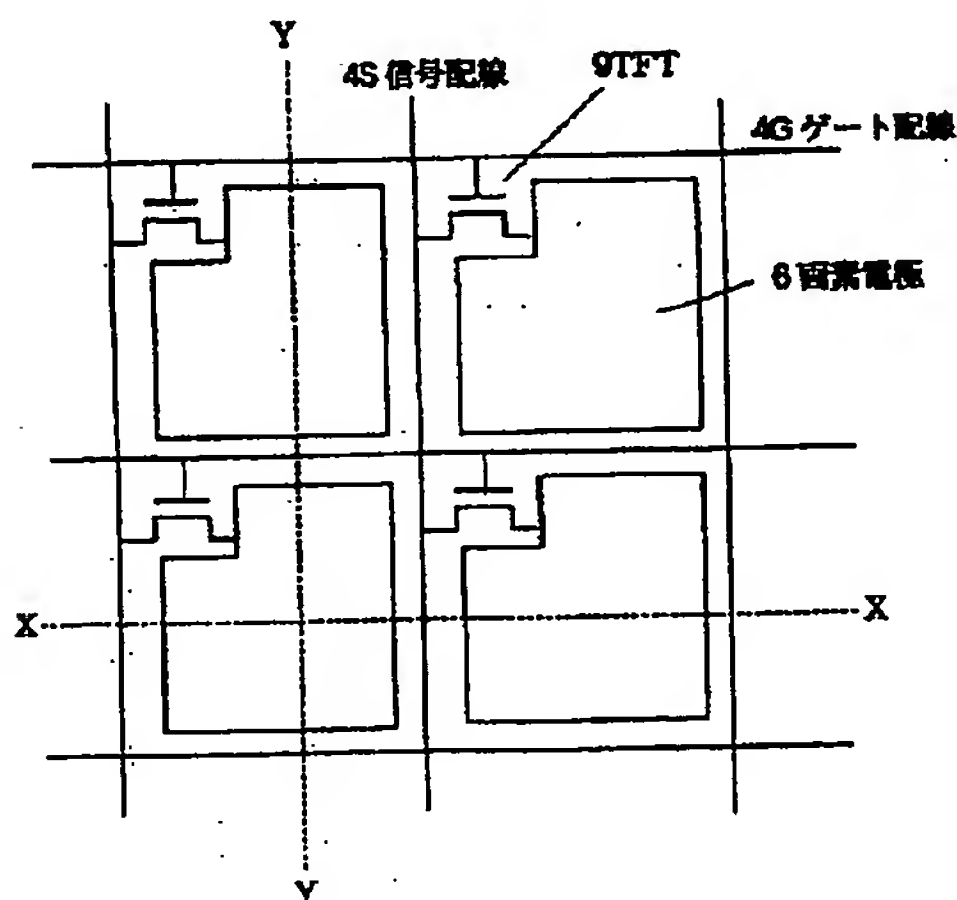
【図7】本発明にかかるアクティブマトリクス型液晶表示装置の第2実施例を示す模式的な断面図である。

【図8】アクティブマトリクス型液晶表示装置の参考例を示す断面図である。

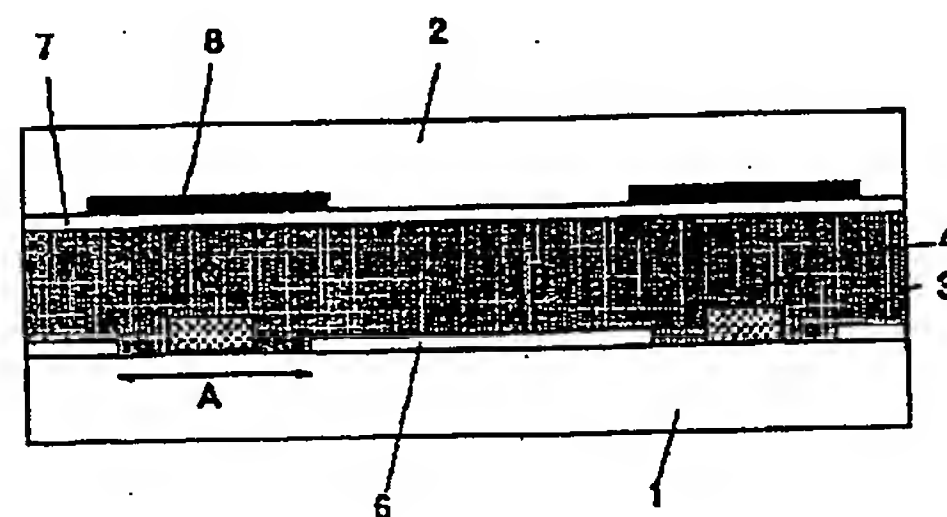
【符号の説明】

- 1 主基板
- 2 対向基板
- 3 液晶層
- 4 配線
- 5 平坦化層
- 6 画素電極
- 7 対向電極
- 8 ブラックマスク
- A 画素電極の間隔
- B 液晶層の厚み

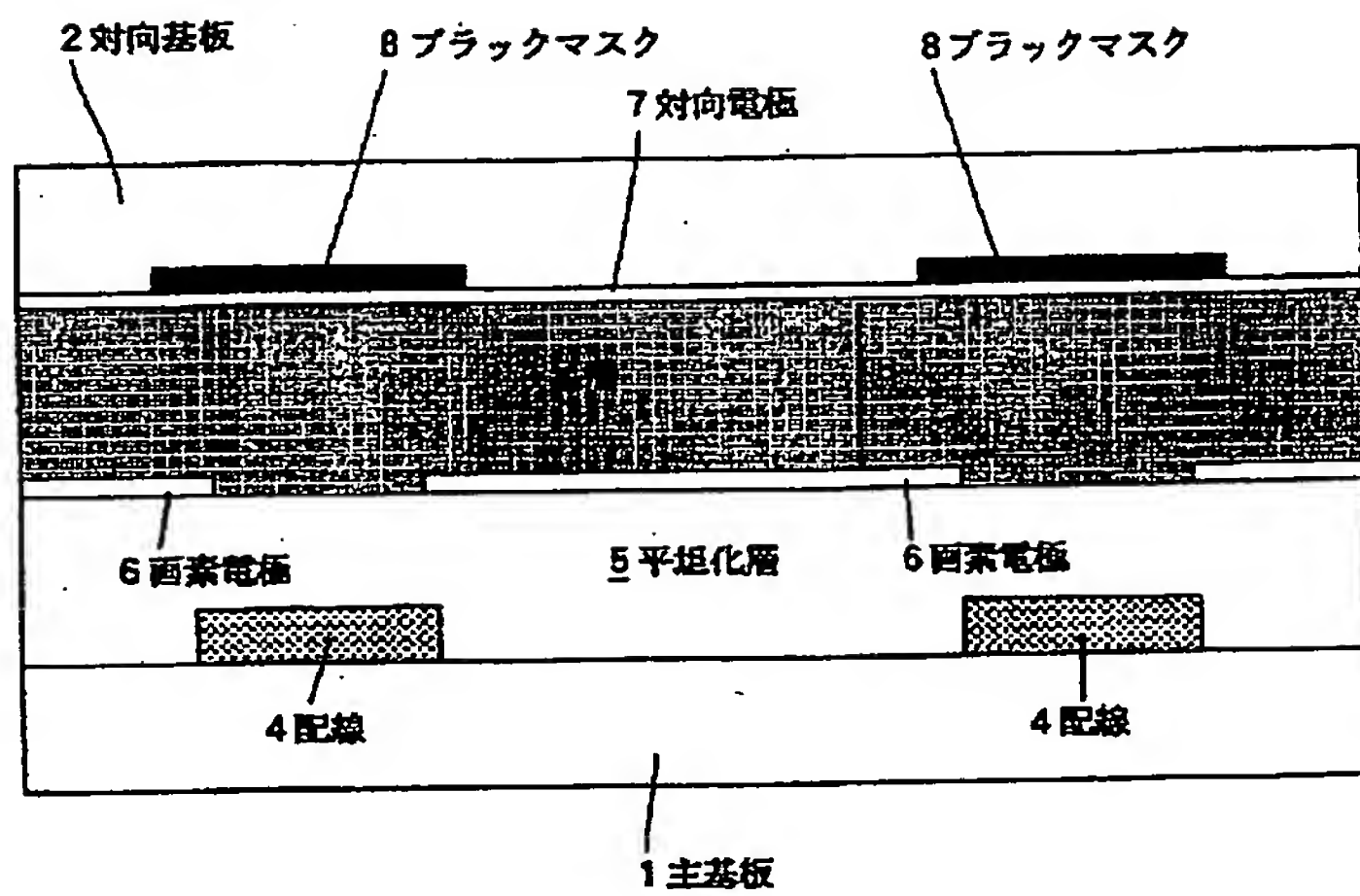
【図2】



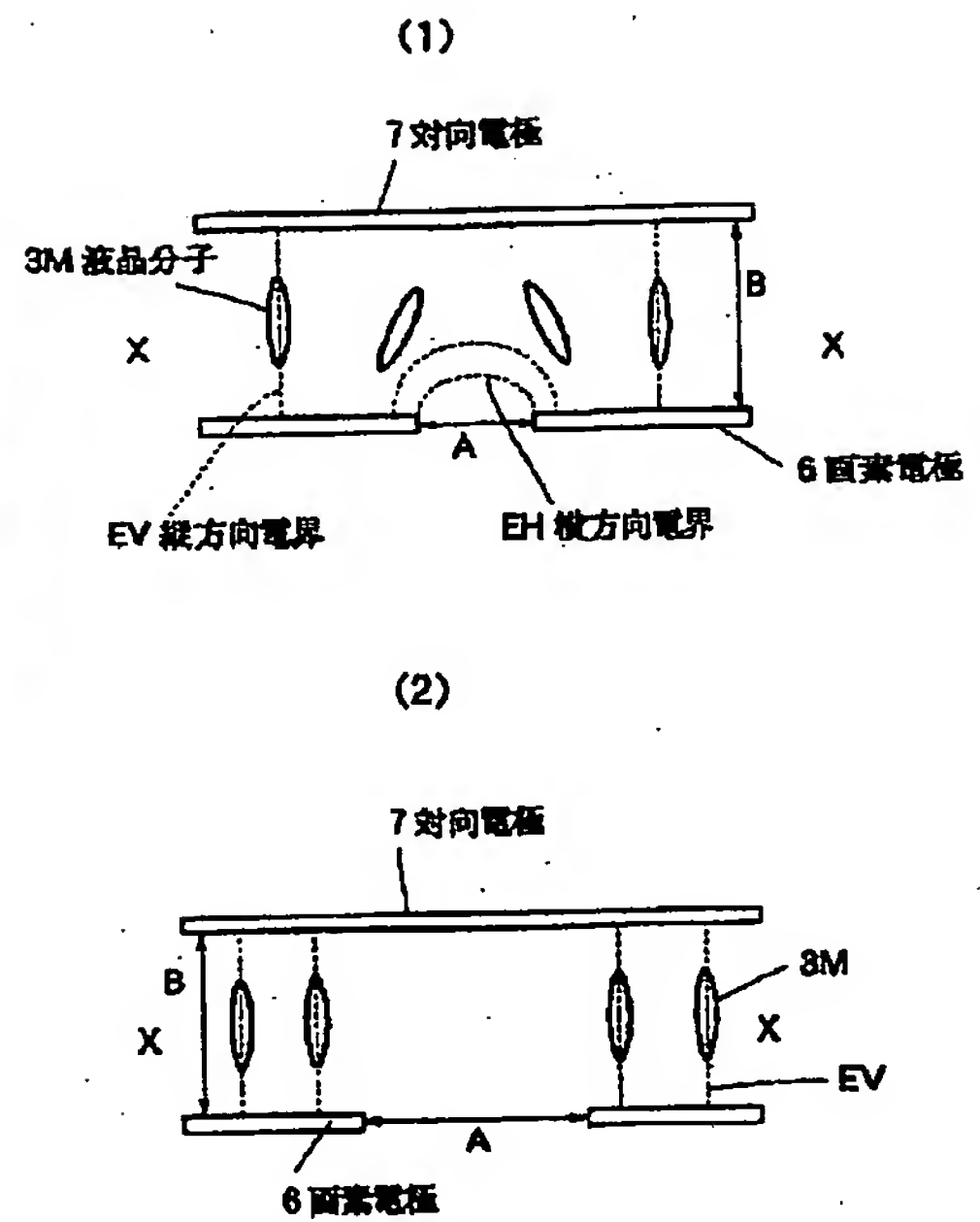
【図7】



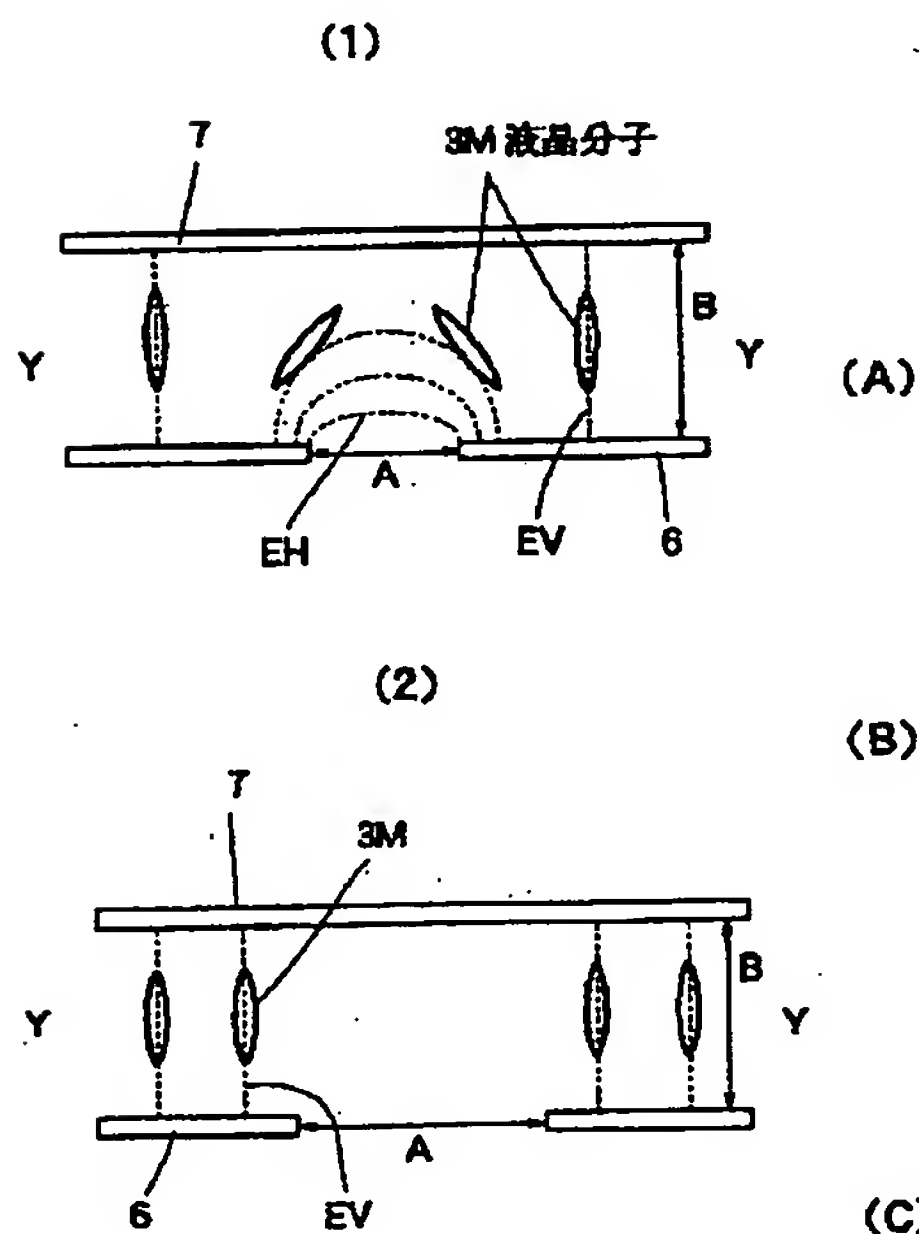
【図1】



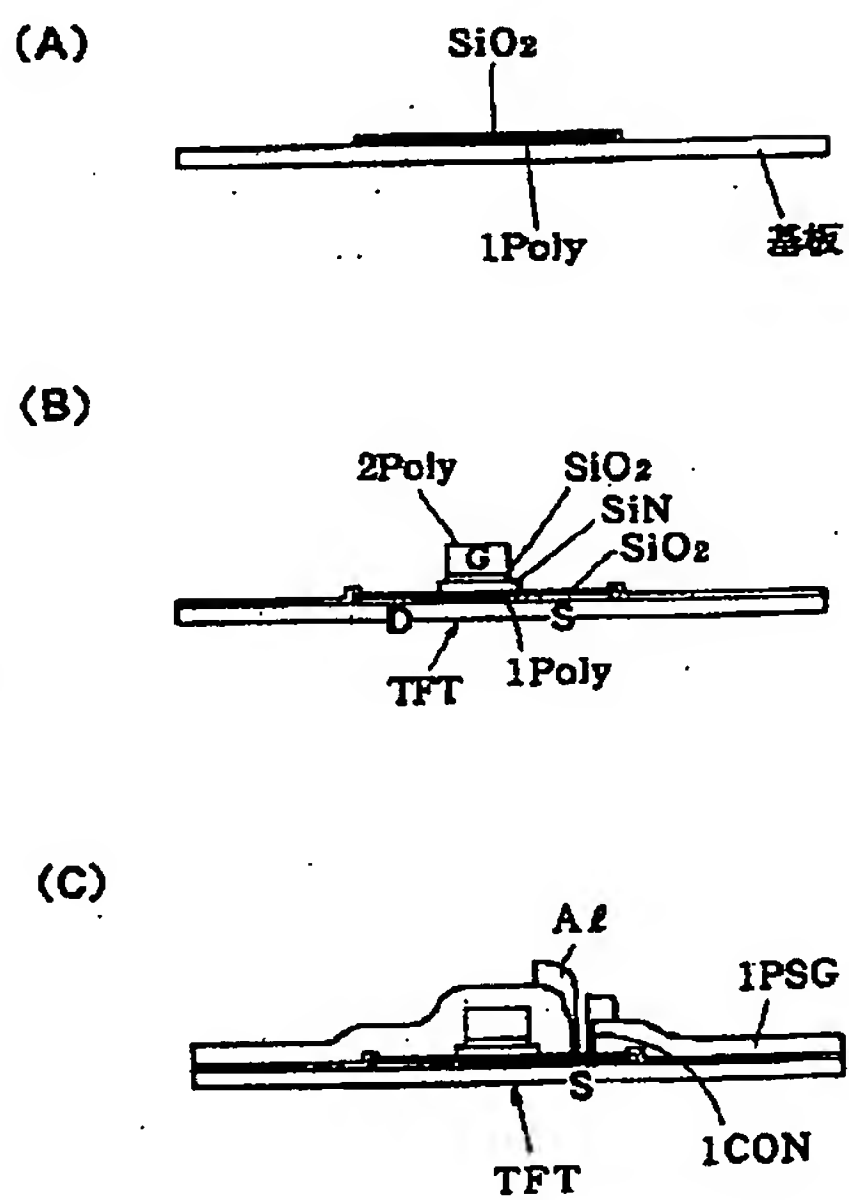
【図3】



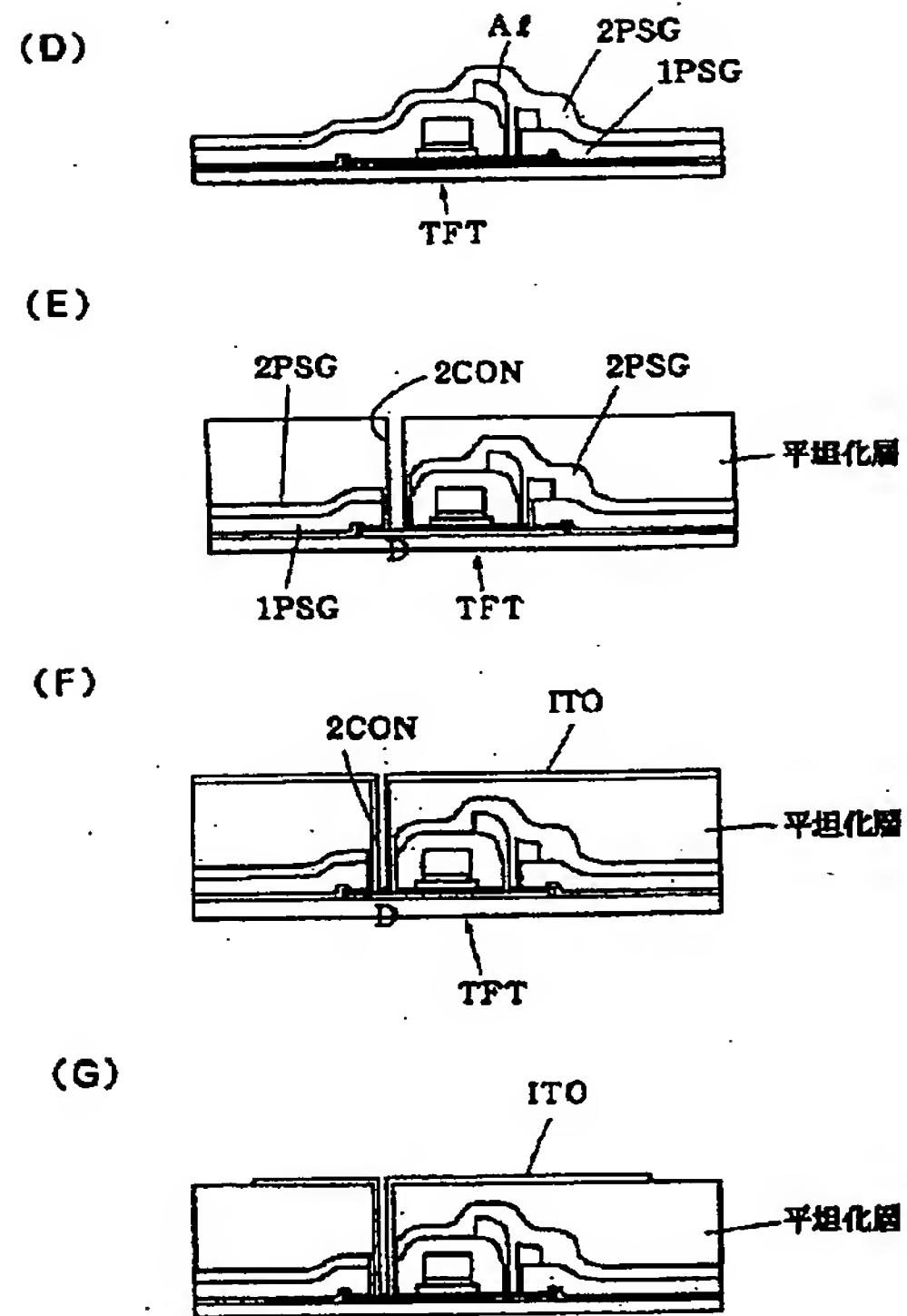
【図4】



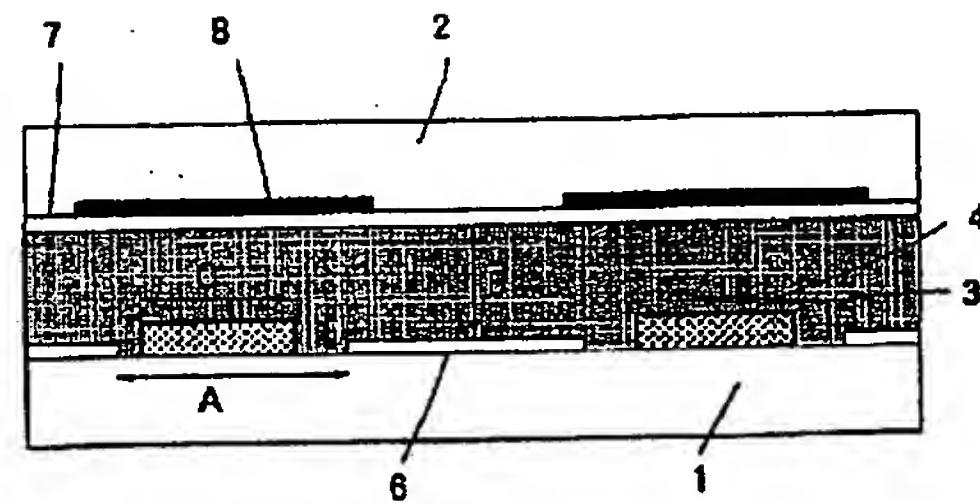
【図5】



【図6】



【図8】



フロントページの続き

(72)発明者 林 久雄
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内